

FPGA 系統晶片設計工程師培訓班 (第 4 梯次)

招生簡章

主辦單位：財團法人工業技術研究院

課程名稱：FPGA 系統晶片設計工程師培訓班(第4梯次)

訓練領域：☐數位資訊 ☒電子電機 ☐工業機械 ☐綠能科技

課程時數：210小時

開訓日期/入班宣導：112 年12月 25 日 (星期一)

結訓日期：113 年 2月 22 日 (星期四)

上課時間：週一~週五 9:00-17:00

訓練地點：

學科：臺北市大安區復興南路二段237號4樓(工研院產業學院台北學習中心)

術科：臺北市大安區復興南路二段237號4樓(工研院產業學院台北學習中心)

訓練費用：84,000元

1. 『產業新尖兵計畫』參訓者，請至計畫網站 (<https://elite.taiwanjobs.gov.tw>)報名。
2. 青年參加本計畫課程，符合訓練單位錄訓資格後(亦須符合本計畫規定第六點)，可享本課程政府補助，但需於報名時先行繳交自行負擔之新台幣1萬元訓練費用予訓練單位，如後續經分署審核資格不符，同意自行負擔全部訓練費用。
3. 依據失業青年職前訓練要點，符合資格之青年，於訓練期間勞動力發展署每月發給新臺幣八千元，訓練期間未到課之時數，不得達全期訓練總時數百分之十以上，培訓期間享勞保(訓)。

報名日期：112 年 8 月 1 日 ~ 112 年 12 月 22 日 (收件至 14 : 00)

甄試日期：112 年12 月 22 日 14 : 00 ~16 : 00 (16 : 00 起個別以電子郵件通知甄試結果)

甄選方式：25名，大專以上電子、電機、資通訊、自動控制相關背景使得依序錄訓。

最低開班人數為15人。

報名方式：

1. 申請參加產業新尖兵計畫前，應登錄成為台灣就業通網站會員。
2. 於台灣就業通網站本計畫專區完成「我喜歡做的事」職涯興趣探索測驗。
3. 於台灣就業通網站本計畫專區下載或列印「報名及參訓資格切結書」，於簽名後交

予訓練單位。

4. 依訓練單位規定參加甄試及參訓。
5. 繳交自行負擔之新臺幣一萬元訓練費用予訓練單位，並與訓練單位簽訂訓練契約。
6. 遵循訓練單位管理及請假規定。
7. 備妥身分證明文件，配合分署之不預告訪視。
8. 線上報名：
<https://college.itri.org.tw/Home/LessonData/34D94CE0-4557-48FD-B25F-6A21744FD099>
9. 電子郵件報名：E-mail：TristaHuang@itri.org.tw
10. 課程洽詢：03-5732901 黃小姐

【課程簡介】

人工智慧(AI)與物聯網(IoT)爆炸式的成長，在AIOT與Edge Computing領域中愈來愈受重視的硬體加速電路，除了低功率消耗優勢之外，在處理速度更具優勢。

FPGA具有快速成品的優點，而且其內部邏輯可以被設計者反覆修改，從而改正程式中的錯誤，設計者在普通的FPGA上完成開發，然後將設計轉移到一個類似於特殊應用積體電路的晶片上。在一些技術更新比較快的行業，在大批次供貨前，必須迅速搶占市場，這時FPGA方便靈活的優勢就顯得很重要，幾乎是電子系統中的必要部件。

【課程目標】

學員能夠

1. 瞭解FPGA的開發設計流程
2. 使用FPGA設計工具及Verilog HDL語言，完成FPGA數位雛型系統設計專題。

【受訓資格】

大專以上電子、電機、資通訊、自動控制相關背景。

【課程大綱】

課程 模組	課程單元	課程單元說明	學科 時數	術科 時數
基礎 課程	數位電子學 112/12/25-12/28	1. 數位電子概論 2. 基本電子學 3. 數值表示法簡介 4. 組合性數位電路簡介 5. 正反器(Flip-Flop)記憶元件 6. 序向系統之簡介	12	12

		數位電子學基本數位實作 Lab1：基本邏輯閘認識與應用 Lab2：特殊邏輯閘的認識與應用 Lab3：編碼器與解碼器 Lab4：多工器與解多工器 Lab5：門鎖器與正反器 Lab6：計數器實作 Lab7：移位暫存器 Lab8：加法器與減法器實作		
核心課程	FPGA 系統設計入門 113/1/2-1/5	1. FPGA 設計技術簡介及邏輯設計技術展望 2. FPGA 元件及架構介紹 3. FPGA 設計流程開發工具 4. HDL 硬體描述語言(Verilog)語法介紹 5. HDL 設計基本概念 6. HDL 描述組合邏輯(Combinatorial Logic)設計 7. HDL 描述序向邏輯(Sequential Logic)設計 8. 如何透過模擬及建立測試平台(<i>testbench</i>)來驗證設計 FPGA 系統設計入門實作關鍵電路的設計實作 Lab1：FPGA 組合邏輯基本輸出入(開關、按鍵與 LED 電路) Lab2：FPGA 序向邏輯基本輸出入(開關、按鍵與 LED 電路) Lab3：電路常用的計數器(Count), 及 移位暫存器(<i>shift register</i>) Lab4：按鍵(Button)控制 Lab5：閃爍 LED 控制 Lab6：七段顯示器實作, 介紹多個七段顯示器的方法	12	12
	FPGA 系統周邊 IO 電路設計 113/1/8-1/16	1. 七段顯示器實作, 結合計數器(Count)多個七段顯示器動態顯示的方法 2. PWM 控制實作 3. PS/2 鍵盤介面電路設計 4. RS232 串列通訊介面實作 5. AC97 數位語音與音訊編解碼器(audio cadec) 介面	18	22

		6.I2C 介面周邊記憶體 EEPROM 讀寫實作 7.SPI 介面周邊記憶體 Flash 讀寫實作 8.VGA 介面 9.Motor control		
	FPGA 系統整合與 系統除錯設計 113/1/17-1/23	1.設計進階基本原則：包括面積和速度的平衡互換原則，硬體可實現原則和同步設計原則、和管線式(Pipeline)操作等技巧 2.常用操作元件：包括 FIFO、Ping-pong Buffer，串並轉換操作 3.原廠提供的 IP 模組產生器使用介紹：包括片上的記憶體 (SRAM、FIFO、ROM)，時脈管理(DCM)和串列收發器 (SERDES) 等 4.系統時脈(clock)，及重置(reset)處理及設計 5.FIFO、Ping-pong Buffer 控制實習 6.RS232 串列通訊介面整合 AC97 audio cadec、I2C 介面周邊記憶體 EEPROM、SPI 介面周邊記憶體 Flash 7.系統電路除錯 ChipScope Pro 工具介紹 8.Core Generator 產生 ILA、ICON core、ChipScope Pro Analyzer 的使用，實際用於此 SoC 系統 Waveform 產生及 Debug	15	17
進階課程	SOPC 系統產品應用 開發技術實作 113/1/24-2/6	1.FPGA SOPC可重構晶片嵌入式系統處理器系統概述、發展、特點 2.FPGA SOPC可重構晶片嵌入式系統的組成及設計思想 3.SOPC設計技術、流程、開發工具簡介 4.AMBA AXI-4匯流排介紹 5.MicroBlaze RISC處理器硬體架構、暫存器、記憶體管理、及事件處理(reset, interrupt, and execption) 6.MicroBlaze處理器介面介紹 7.SOPC 設計流程及EDK，SDK工具 8.新建工程、設計實現中工程中添加IP CORE、使用SDK添加應用軟體	24	24

		9. 軟體驅動程式及硬體實現程式的編寫方法、使用 SDK 下載除錯實作 LAB1：基於 AXI-4 介面的嵌入式系統設計及 LED, button 控制實驗控制 LAB2：串列埠 UART IP 結構和設計及串列埠輸出入控制(hello world) LAB3：MicroBlaze AXI-4 周邊介面基本測試實驗 LAB4：MicroBlaze AXI-4 DDR3 記憶體控制器加入及 memory 測試實驗 LAB5：MicroBlaze AXI-4 計時/計數器 IP 加入及控制 LAB6：MicroBlaze AXI-4 中斷控制器 IP 加入及按鍵中斷控制 LAB7：MicroBlaze AXI-4 SPI Flash IP 加入及控制 LAB8：MicroBlaze AXI-4 添加用戶自己的 IP CORE (PWM controller) 且編寫驅動程式控制 LAB9：完整 SOPC 嵌入式系統中如何使用模擬器 (simulator) 做完整系統平台的驗證 LAB10：完整 SOPC 嵌入式系統中如何使用 Chipscope 做完整系統平台的真實系統的即時驗證		
高階課程	FPGA 數位雛型系統設計專題 113/2/15-2/21	專題實作 1. FPGA 數位雛型系統設計專題-專題題目、緣由與目的、設計實驗、執行實驗、分析數據、硬體實現 2. 複習與專題簡報	17	18
學科、術科時數			98	105
其他	求職簡報技巧 113/2/22	求職簡報製作 簡報演練	3	
其他	就業媒合 113/2/22	就業媒合	4	
時數總計			210	

備註：若因臨時突發事件或不可抗力之因素，主辦單位保有調整課程或更換講師之權利。

【適合對象】

1. 年滿15歲至29歲之本國籍失業或待業青年。訓練期間不得為在職勞工、自營作業者、公司或行（商）號負責人。
2. 學歷：大專以上電子、電機、資通訊、自動控制相關背景。

【授課講師】

曾老師

現任：積通科技有限公司負責人、工研院產業學院、自強工業科學基金會 專業講師

學經歷：大同工學院電機工程碩士、資深數位IC設計工程師

專長：IC數位晶片設計、FPGA數位系統設計、RTL Verilog Coding、數位晶片硬體/軟體偕同設計架構規劃。

賴老師

現任：啟新創育顧問有限公司負責人、工研院產業學院特聘講師、特聘研究；勞委會多元就業開發方案諮詢輔導委員；勞委會共通核心職能課程師資。

學經歷：交通大學傳播研究所碩士。經歷橫跨服務設計、品牌行銷、職能分析與教學研發等領域，曾經服務於工研院產業學院教學設計經理與企劃、奧美行銷顧問行銷經理、中時電子報行銷經理。

【注意事項】

1. 為尊重講師之智慧財產權，恕無法提供課程講義電子檔。
2. 課程3天前，學員將收到【E-mail上課通知】，敬請留意信件。
3. 如需取消報名，請於開課前3日以書面傳真至主辦單位並電話確認。

【就業輔導】

1. 預計邀請有FPGA職缺之國內用人機構進行案例分享及職缺說明座談，與學員交流互動，促進後續潛在媒合機會。
2. 邀請業師講授求職技巧與製作求職簡報
3. 不定期轉發相關職缺資訊。
4. 邀請國內用人機構挑選符合職缺人選，安排就業媒合。

【請假規定及課程評量】

一、請假規定

1. 學員於受訓期間需依規定辦理請假，未依規定辦理請假時，均以曠課論。
2. 請假單位以 0.25 小時計算，未滿 0.25 小時則以 0.25 小時計算，填寫方式如下：
 - (1) 9 點上課，9:13 到，請假時數 0.25 小時；9:25 到，請假時數 0.5 小時。
 - (2) 起迄時間請以 24 小時制填寫，例如：下午 2 時請寫 14 時。
 - (3) 假別可分為病假、事假、生理假、喪假、曠課等，請依個人狀況自行判定。
3. 依據失業青年職前訓練要點，符合資格之青年，於訓練期間勞動力發展署每月發給新臺幣八千

- 元，訓練期間未到課之時數，不得達全期訓練總時數百分之十以上，培訓期間享勞保（訓）。
- 4.學員不得有冒名上課或代簽到(退)之情形。請假除緊急狀況外均應事先填妥請假卡，經培訓單位核准後，由培訓單位登錄於系統。
 - 5.離訓規則：訓練期間，若因個人因素或找到工作需要辦理離訓手續，請於離訓前5日，向訓練單位提出，並寄電郵告知訓練單位與北分署之承辦人，以利處理離訓作業。
 - 6.退訓規則：違反「產業新尖兵計畫」規定，訓練期間不符合參訓資格，立即退訓。

二、課程評量

課程出席率達 80% 以上，並完成專題製作，由工業技術研究院核發培訓證書。

【補助費用】

- 1.每一參訓青年自付額及訓練單位所代墊之訓練費用合計最高十萬元。
- 2.依據失業青年職前訓練要點，符合資格之青年，於訓練期間勞動力發展署每月發給新臺幣八千元，訓練期間未到課之時數，不得達全期訓練總時數百分之十以上，培訓期間享勞保（訓）。
- 3.青年報名本計畫指定訓練課程，如後續經審核資格不符，由青年自行負擔相關訓練費用。
- 4.符合「產業新尖兵計畫」補助資格者，開訓前取消報名，將全額退費自付額10,000元，但開訓後取消或中途離退訓，所繳10,000元自付額不予退還。

【其他重要注意事項】

- 1.青年參加本計畫以一次為限，曾中途離訓、退訓或曾參加產業新尖兵試辦計畫者，不得再參加本計畫。
- 2.青年參加本計畫訓練課程，於結訓日後一百八十日內，不得參加職前訓練及青年就業旗艦訓練計畫。
- 3.參加本計畫指定訓練課程之青年，為年滿15歲至29歲之本國籍失業或待業青年；於訓練期間不得為日間部在學學生、在職勞工、自營作業者、公司或行（商）號負責人。
- 4.青年參加本計畫訓練課程，出席時數應達總課程時數三分之二以上及取得結訓證書者，且符合下列情形之一，應至台灣就業通本計畫專區申請自付額之補助，並經分署審查通過者，由分署直接將自付額補助撥入青年個人金融帳戶：
 - (1) 結訓日次日起九十日內，已依法參加就業保險，且於結訓日次日起一百二十日內，上傳國內金融機構存摺封面影本等文件至台灣就業通本計畫專區。
 - (2) 因服兵役致未能參加就業保險，應於結訓日次日起一百二十日內，上傳兵役徵集通知等證明文件，申請自退役日次日起計算依法參加就業保險之期日，且於退役日次日起一百二十日內，上傳國內金融機構存摺封面影本等文件至台灣就業通本計畫專區。